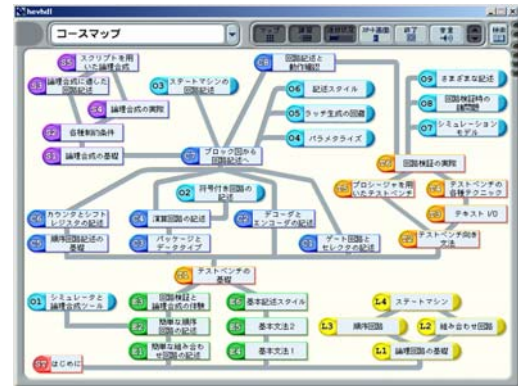


# HDL Endeavor

マルチメディア技術を活用した先進の教育システム  
この教材だけで回路記述、検証、論理合成を習得できます。

## HDL Endeavorの特徴

- 学習内容全体をコースマップで提示
- コース全体は、約40個の学習単元に細分化、各単元を短時間で学習可能
- 終了判定で合格すれば、その単元が終了
- 学習単元の終了状況はファイルに保存でき、進捗管理も可能
- シミュレーションや論理合成の擬似ツールを使用することにより、HDLによる回路設計の実際を仮想体験



## キャンペーン

通常  
49,800円(税込)を

在庫限りで  
19,800円(税込)

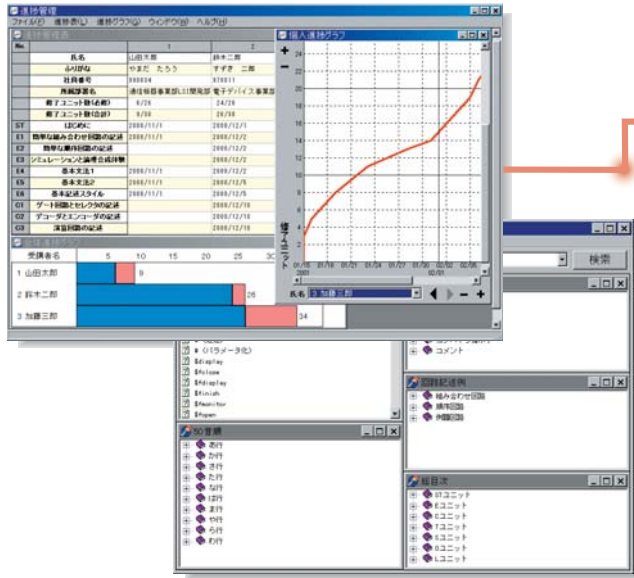
## お申し込み

• <http://www.hdlab.co.jp/> の『購入・見積り』からお申し込みください。



株式会社 エッチ・ディー・ラボ  
〒222-0033 横浜市港北区新横浜3-1-4 プラスタリアビル6F  
TEL : 045-477-4315 FAX : 045-477-4316  
E-mail : sales@hdlab.co.jp URL : <http://www.hdlab.co.jp/>

## 進捗管理機能



## 進捗管理機能

- 保存した受講記録を読み込み、進捗結果を表示するツールです。
- 多人数の受講者の情報を一括管理できます。
- 表形式およびグラフ形式で表示できます。
- グラフ形式では、修了した学習単元数の棒グラフ表示と、開始日からの修了数による折れ線グラフ表示が可能です。

## 検索機能

- 記述上の疑問点に対する回答を、本文の中から検索するツールです。
- アルファベット順、あいうえお順、文法リファレンス、回路記述例、キーワードなどの多次元インデックスです。

検索機能

## 学習内容

|              | 必須単元 |   | 選択単元  |
|--------------|------|---|---|
| Verilog-HDL版 | 導入   | はじめに<br>簡単な組み合わせ回路の記述<br>簡単な順序回路の記述<br>シミュレーションと論理合成体験<br>基本文法 1<br>基本文法 2<br>基本記述スタイル                    | テストベンチ記述<br>テストベンチの基礎<br>テストベンチ向き文法<br>システムタスク<br>テストベンチの各種テクニック<br>taskを用いたテストベンチ<br>回路検証の実際   |
|              | 回路記述 | ゲート回路とセレクタの記述<br>デコーダとエンコーダの記述<br>演算回路の記述<br>順序回路の記述<br>フリップフロップの記述<br>カウンタとシフトレジスタの記述<br>ブロック図から回路記述へ    | 論理合成<br>論理合成の基礎<br>各種制約条件<br>論理合成に適した回路記述<br>論理合成の実際<br>スクリプトを用いた論理合成<br>まとめ<br>回路記述と動作確認   |
| VHDL版        | 導入   | はじめに<br>簡単な組み合わせ回路の記述<br>簡単な順序回路の記述<br>回路検証と論理合成の体験<br>基本文法 1<br>基本文法 2<br>基本記述スタイル                       | テストベンチ記述<br>テストベンチの基礎<br>テストベンチ向き文法<br>テキストI/O<br>テストベンチの各種テクニック<br>プロシージャを用いたテストベンチ<br>回路検証の実際   |
|              | 回路記述 | ゲート回路とセレクタの記述<br>デコーダとエンコーダの記述<br>パッケージとデータタイプ<br>演算回路の記述<br>順序回路記述の基礎<br>カウンタとシフトレジスタの記述<br>ブロック図から回路記述へ | 論理合成<br>論理合成の基礎<br>各種制約条件<br>論理合成に適した回路記述<br>論理合成の実際<br>スクリプトを用いた論理合成<br>まとめ<br>回路記述と動作確認   |
|              |      |   | 論理回路設計の基礎<br>論理回路の基礎<br>組み合わせ回路<br>順序回路<br>ステートマシン<br>回路記述<br>プライオリティエンコーダ<br>記述順序による問題点<br>ステートマシンの回路記述<br>パラメタライズ<br>ラッチ生成の回避<br>さまざまな記述<br>テストベンチ記述<br>コンパイラ指示子<br>シミュレーションモデル             |
|              |      |   | 論理回路設計の基礎<br>論理回路の基礎<br>組み合わせ回路<br>順序回路<br>ステートマシン<br>回路記述<br>シミュレータと論理合成ツール<br>符号付き回路の記述<br>ステートマシンの回路記述<br>パラメタライズ<br>ラッチ生成の回避<br>記述スタイル<br>さまざまな記述<br>テストベンチ記述<br>シミュレーションモデル<br>回路検証時の諸問題 |

## 動作環境

|          |                                       |
|----------|---------------------------------------|
| CPU      | Pentium 120MHz (相当) 以上                |
| メモリ      | 32MB以上                                |
| 表示出力     | 800X600ドット以上、64,000色以上                |
| CD-ROM装置 | 8倍速以上                                 |
| 音声出力     | PCMサウンド機能                             |
| ハードディスク  | 10MB以上の空き容量                           |
| OS       | Microsoft Windows 95/98/ME/NT4.0/2000 |

• Pentium は、米国インテル社の登録商標です。  
• Microsoft、Windows は、米国Microsoft Corporationの米国およびその他の国における登録商標です。

お問い合わせ先

株式会社 エッチ・ディー・ラボ  
〒222-0033 横浜市港北区新横浜3-1-4 プラスタリアビル6F  
TEL: 045-477-4315 FAX: 045-477-4316  
E-mail: sales@hdlab.co.jp URL: http://www.hdlab.co.jp